

BEST AVAILABLE COPY

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication
number:

1020040102300 A

(43)Date of publication of application:
04.12.2004

(21)Application number: 1020030033844

(22)Date of filing: 27.05.2003

(71)Applicant:

SAMSUNG ELECTRONICS
CO., LTD.

(72)Inventor:

CHOI, CHANG WON
KIM, JONG BEOM
KIM, TAE RYONG
SEO, JONG U

(51)Int. Cl.

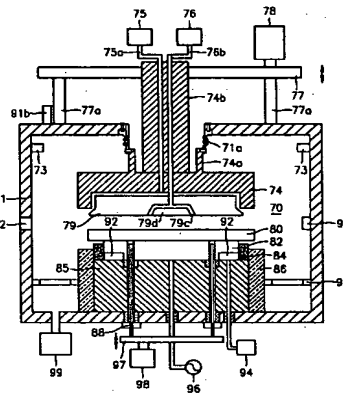
H01L 21/3065

(54) PLASMA TREATMENT APPARATUS WITH INSULATING PLATE FOR TREATING EDGE OF WAFER,
INSULATING PLATE FOR THE SAME, LOWER ELECTRODE FOR THE SAME, PLASMA TREATMENT
METHOD OF WAFER EDGE AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A plasma treatment apparatus for treating an edge of a wafer, an insulating plate for the same, a lower electrode for the same, a plasma treatment method of the wafer edge and a method of manufacturing a semiconductor device are provided to remove an unnecessary material layer from the wafer edge by controlling precisely plasma using the insulating plate.

CONSTITUTION: A plasma treatment apparatus includes a process chamber(70), a lower electrode (82), a side electrode(86), a cylindrical upper electrode(74), and an RF source. The RF source(96) is connected to at least one out of the lower, upper, and side electrodes to generate plasma. An insulating layer(79) is slightly spaced apart from the upper electrode to supply process gas to an edge of a wafer.



&copy; KIPO 2005

Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

10-2004-0102300

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 21/3065

(11) 공개번호 10-2004-0102300
(43) 공개일자 2004년12월04일

(21) 출원번호	10-2003-0033844
(22) 출원일자	2003년05월27일
(71) 출원인	삼성전자주식회사
(72) 발명자	경기도 수원시 영통구 매탄동 416 최창원 서울특별시 양천구 신정동 1279번지 목동현대아파트 105-703 김태룡 경기도 수원시 팔달구 영통동 살구골7단지 989-2 현대아파트 723-1704 김종범 경기도 용인시 수지구 풍덕천리 1018번지 신정마을 극동아파트 304-1303 서종우 경기도 수원시 팔달구 영통동 황골마을한국아파트 213-506
(74) 대리인	이영필

심사청구 : 있음

(54) 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치, 플라즈마 처리장치용 절연판, 플라즈마 처리장치용하부전극, 웨이퍼 가장자리의 플라즈마 처리방법 및반도체소자의 제조방법

요약

웨이퍼의 가장자리에 형성된 누적인 물질층들을 비선택적으로 그리고 정밀하게 제어하면서 제거할 수 있는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치 및 그 방법들이 개시된다. 본 발명의 플라즈마 처리장치는, 웨이퍼 처리가 가능한 처리챔버 내의 하측에 설치되며, 그 상부면에 웨이퍼를 장착할 수 있는 하부전극과 상기 하부전극의 외측벽을 따라 이격되어 있는 측부전극을 포함한다. 또한, 상기 하부전극 및 상기 측부전극에 대응하여 상기 처리챔버의 상측에 원통상으로 설치되어 있는 상부전극 및 상기 하부전극상에 장착되는 상기 웨이퍼의 가장자리 영역에 플라즈마를 형성할 수 있도록 상기 상부전극, 하부전극 및 측부전극 중의 적어도 하나에 연결된 RF소오스를 포함한다. 원통상의 절연판이 상기 상부전극의 내측에 부착되며, 상기 절연판과 상기 상부전극의 내측벽과의 사이로 통과되는 공정가스가 상기 웨이퍼의 가장자리로 외향 공급되도록 적어도 외측으로 하향 경사진 부분을 포함한다.

도표도

53

발명서

도면의 간단한 설명

도 1 및 도 2는 종래의 습식 방법에 의한 웨이퍼 가장자리를 처리하는 방법을 나타낸 공정단면도이다.

도 3은 본 발명의 실시예에 따른 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치 나타내는 개략적 단면도이다.

도 4는 본 발명의 실시예에 따른 상부 전극과 절연판을 나타내는 분해 사시도이다.

도 5는 본 발명의 실시예에 따른 하부전극, 절연체 및 측부 전극을 나타내는 분해 사시도이다.

도 6은 도 4에서 플라즈마 발생부분을 확대 도시한 단면도이다.

도 7은 본 발명의 실시예에 따른 웨이퍼 가장자리 처리방법을 나타낸 공정순서도이다.

도 8 및 도 9는 본 발명의 실시예에 따른 웨이퍼 가장자리 처리방법 및 반도체 소자의 제조방법을 설명하기 위한 공정 단면도들이다.

도 10은 본 발명의 실시예에 따른 공정 조건하에서 산화막에 대한 식각 특성을 나타낸 그래프이다.

도 11은 본 발명의 실시예에 따른 공정 조건하에서 질화막에 대한 식각 특성을 나타낸 그래프이다.

도 12는 본 발명의 실시예에 따른 공정 조건하에서 폴리실리콘에 대한 식각 특성을 나타낸 그래프이다.

도 13은 본 발명의 실시예에 따른 공정 조건하에서 가스분산판의 크기에 따른 질화막에 대한 식각 특성을 나타낸 그래프이다.

도 14는 본 발명의 실시예에 따른 공정 조건하에서 산소가스의 유량에 따른 질화막에 대한 식각 특성을 나타낸 그래프이다.

도 15는 본 발명의 실시예에 따른 공정 조건하에서 웨이퍼 중앙으로 공급되는 질소가스의 유량에 따른 질화막에 대한 식각 특성을 나타낸 그래프이다.

도 16은 본 발명의 실시예에 따른 공정 조건하에서 공정가스의 유량에 따른 산화막에 대한 식각 특성을 나타낸 그래프이다.

※ 도면의 주요 부분에 대한 부호의 간단한 설명

70 ; 처리챔버 71 ; 처리챔버 벽체
71a ; 신축부 72 ; 웨이퍼 출입구
73 ; 퍼지가스공급부 74 ; 상부전극
74a ; 상부전극 지지대 74b ; 스템
75 ; 공정가스공급원 75a ; 공정가스공급관
76 ; 보조가스공급원 76b ; 보조가스공급관
77 ; 상부전극 이동판 77a ; 상부전극 이동판 지지대
78 ; 상부전극 이동판 구동부 79 ; 주절연판
79d ; 보조절연판 79c ; 보조가스 분출구
80 ; 웨이퍼 82 ; 하부전극
84 ; 제1 절연체 85 ; 제2 절연체
86 ; 측부전극 88 ; 리프트핀
90 ; 배플판 92 ; 하부전극 냉각부
94 ; 하부전극 냉각원 96 ; RF 소오스
97 ; 리프트핀 이동판 98 ; 리프트핀 이동판 구동부
99 ; 배기펌프 100 ; 반도체기판
102 ; 소자분리영역 104 ; 제1 중간절연층
106 ; 콘택 패드층 108 ; 제2 중간절연층
110 ; 비트라인 도전층 112 ; 비트라인 마스크층
114 ; 비트라인 스페이서층 116 ; 제3 중간절연층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치에 관한 것이다. 보다 상세하게는, 웨이퍼의 가장자리 근처에만 플라즈마를 형성시킬 수 있는 플라즈마 처리장치와 플라즈마 처리장치에 사용되는 절연판 및 하부전극에 관한 것이다. 또한, 플라즈마 처리장치를 이용하여 웨이퍼 가장자리를 플라즈마 처리하는 방법 및 반도체소자의 제조방법에 관한 것이다.

반도체 집적회로의 제조 과정은 반도체 웨이퍼 상의 전면에 도전층 및 절연층을 다층으로 증착해 나가면서 각 층을 구성하는 물질층을 패턴화하여 설계된 바의 반도체 집적회로를 구현해나가는 과정이라 할 수 있다. 이때, 일반적으로 반도체 집적회로는 반도체 칩의 단위로 구성되며, 웨이퍼 전체에 걸쳐 복수개의 반도체 칩들이 동일한 단계에서 동일한 과정을 거쳐 완성되어 나간다. 따라서 각 반도체 칩의 최상층의 물질층이 형성된 후에는 반도체 웨이퍼는 칩 단위로 다이싱되며 웨이퍼의 가장자리 부분은 불필요한 부분으로 폐기된다.

그러나, 반도체 집적회로의 제조공정이 반도체 웨이퍼 전면에 대하여 동일하게 수행된다는 특성으로 인하여 반도체 웨이퍼의 가장자리에도 반도체 칩영역에 형성되는 물질층이 동일하게 형성되지만, 웨이퍼의 가장자리는 결정학적, 에너지적 및 기계적 의미에서 불완전한 영역이 되어 반도체 집적회로의 제조 과정에서 여러 가지 유형의 결함을 유발시키게 된다. 즉, 반도체 집적회로가 고집적화되면서 웨이퍼의 가장자리(edge) 및 베벨(bevel) 영역에 다층으로 누적되는 물질층들은 후속 물질층의 증착시 새멀버짓(thermal budget)으로 인한 팽창, 리프팅, 균열 또는 습식 식각시 케미칼에 의한 막질간의 선택비 차이로 인한 불완전한 제거, 폴리머의 잔류 등 여러 가지 유형의 결함이 발생되며, 이러한 결함들은 파티클의 요인이 되어 반도체 집적회로의 제조과정에서 칩영역으로 침투되어 반도체 집적회로의 불량요인이 된다.

따라서, 이러한 웨이퍼의 가장자리에 누적되는 물질층들은 반도체 집적회로의 제조과정에서 주기적으로

제거할 필요가 있게 된다.

도 1 및 도 2는 종래의 습식 방법에 의한 웨이퍼 가장자리를 처리하는 방법을 나타낸 공정단면도이다.

도 1을 참조하면, 반도체 집적회로를 제조하는 특정과정에서 반도체 웨이퍼(60)의 가장자리 상에 텅스텐 실리사이드 또는 텅스텐층(61), 실리콘나이트라이드층(62) 및 실리콘옥사이드층(63)이 형성되어 있다. 이때 웨이퍼(60) 가장자리에 형성된 불필요한 물질층들을 제거하기 위해 반도체 챔버(도시안됨)를 포함하는 웨이퍼(60)의 전면에 포토레지스트층(64)을 코팅한 후, 포토 공정에 의해 웨이퍼 가장자리로부터 일정한 폭을 갖는 포토레지스트층(64) 패턴을 형성한다.

이어서, 도 2를 참조하면, 포토레지스트층(64)을 마스크로 하여 습식 케미컬을 이용하여 웨이퍼의 가장자리 및 뒷면에 노출된 실리콘옥사이드층(63)을 제거한다. 이어서, 포토레지스트층(64)을 애싱한 후 스트립하여 제거한다. 이어서, 실리콘옥사이드층(63)을 마스크로 하여 적절한 케미컬을 사용하여 노출된 실리콘 나이트라이드층(62)을 제거하고, 계속하여 노출된 텅스텐실리사이드 또는 텅스텐층(61)을 제거한다.

상기와 같은 습식 방법에 따르면, 웨이퍼(60)의 가장자리에 적층된 각 층별로 별개의 케미컬을 사용해야 하기 때문에 양산공정으로는 공정관리가 매우 어렵고, 시설투자가 많이 소요되며, 런타임이 길어지기 때문에 생산성이 좋지 않다는 단점이 있다.

이러한 단점을 극복하기 위해 플라즈마를 이용한 건식 방법이 사용되기도 한다. 그러나 도 1에서와 같이 포토레지스트층(64)을 형성한 후 웨이퍼의 전면에 플라즈마를 발생시켜 포토레지스트층(64) 패턴이 없는 웨이퍼(60)의 가장자리를 건식 식각할 경우에는 웨이퍼의 가장자리로 포토레지스트층의 일부가 퇴적되거나 제거된 누적 물질층의 측벽에 플라즈마가 잔류하는 등 문제가 발생된다.

한편, 웨이퍼의 가장자리 근처에 플라즈마 발생수단을 설치한 후 웨이퍼를 회전시키면서 웨이퍼의 가장자리를 경면가공하는 기술이 미국 특허 제 6,406,589에 기재되어 있으며, 웨이퍼가 놓이는 하측으로부터 플라즈마를 발생시켜 웨이퍼의 에지부분에 발생된 손상부분을 식각하는 기술이 미국 특허 제 5,945,351호에 기재되어 있다.

그러나 이러한 기술들은 웨이퍼의 가장자리에 누적된 물질층을 제거하는 기술에 대하여는 기재되어 있지 않으며, 따라서 웨이퍼의 가장자리를 따라 누적된 물질층들을 보다 효과적으로 그리고 정밀하게 제거할 수 있는 플라즈마 처리장치가 개발될 필요가 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기의 문제점들을 해결하기 위한 것으로서, 웨이퍼의 가장자리에 형성된 누적된 물질층들을 비선택적으로 그리고 정밀하게 제어하면서 제거할 수 있는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치를 제공하는 데 있다.

본 발명의 다른 목적은 플라즈마의 발생 영역을 효과적으로 제어할 수 있는 플라즈마 처리장치를 절연판을 제공하는 데 있다.

본 발명의 또다른 목적은 웨이퍼를 효과적으로 장착할 수 있는 플라즈마 처리장치용 하부전극을 제공하는 데 있다.

본 발명의 또다른 목적은 웨이퍼 가장자리에 누적된 물질층들을 정밀하게 제거할 수 있는 웨이퍼 가장자리의 플라즈마 처리방법을 제공하는 데 있다.

본 발명의 또다른 목적은 본 발명의 플라즈마 처리장치를 이용한 반도체소자의 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 본 발명의 목적을 달성하기 위한 본 발명의 제1 형태에 따른 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치는, 웨이퍼 처리가 가능한 처리챔버 내의 하측에 설치되며, 그 상부면에 웨이퍼를 장착할 수 있는 하부전극과 상기 하부전극의 외측벽을 따라 이격되어 있는 측부전극을 포함한다. 또한, 상기 하부전극 및 상기 측부전극에 대응하여 상기 처리챔버의 상측에 설치되어 있는 상부전극 및 상기 하부전극 상에 장착되는 상기 웨이퍼의 가장자리 영역에 플라즈마를 형성할 수 있도록 상기 상부전극, 하부전극 및 측부전극 중의 적어도 하나에 연결된 RF소오스를 포함한다.

상기 상부전극은 가장자리를 따라 하향 돌출부를 갖는 원통 형상이며, 중앙부에 공정가스 공급관이 형성되어 있으며, 원통상의 절연판이 상기 상부전극의 하향 돌출부 내측에 부착되며, 공정가스가 상기 웨이퍼의 가장자리를 따라 분산공급되도록 상기 상부전극과의 사이에 일정한 간극을 유지한다. 상기 절연판은 그의 외측벽이, 상기 절연판과 상기 상부전극의 하향 돌출부의 내측벽과의 사이로 통과되는 공정가스가 상기 웨이퍼의 가장자리로 외향 공급되도록 적어도 외측으로 하향 경사진 부분을 포함하며, 상기 절연판의 중앙에는 보조가스를 공급할 수 있는 보조가스 공급관이 더 형성될 수 있다.

한편, 상기 절연판의 하부 표면의 직경은 상기 웨이퍼의 가장자리를 따라 일정한 폭의 오픈영역이 형성되도록 상기 웨이퍼의 직경보다 작은 것들이 다양하게 준비되며, 상기 절연판과 상기 웨이퍼간의 갭을 조절할 수 있도록 상기 절연판 및 상기 상부전극을 상하로 이동시킬 수 있는 상하 이동수단이 더 포함될 수 있다.

한편, 상기 하부전극의 상부 표면은 상기 웨이퍼의 하부 표면과 직접 접촉될 수 있으며, 상기 하부전극의 상부 표면의 형상이 그 위에 직접 접촉되는 웨이퍼의 형상에 대응하도록 구성되어 있으며, 상기 하부전극의 상부 표면의 직경은 상기 웨이퍼의 가장자리를 따라 일정한 폭의 비접촉 영역이 형성되도록 상기 웨이퍼의 직경보다 작은 것이 바람직하다.

또한, 상기 하부전극의 상부 표면에는 웨이퍼의 미끄럼을 방지할 수 있는 적어도 하나의 비폐곡선형 홈,

바람직하게는 상기 하부전극의 상부 표면에 방사상으로 배치된 복수개의 비폐곡선형 홈이 형성된다.

한편, 상기 웨이퍼의 가장자리를 따라 플라즈마를 형성하기 위해서는 상기 상부전극, 하부전극 및 측부전극은 애노드 또는 캐소드의 다양한 조합으로 구성할 수 있다.

한편, 상기 본 발명의 다른 목적을 달성하기 위한 본 발명의 제2 형태에 따른 플라즈마 처리장치를 절연판은, 플라즈마를 형성할 수 있는 처리챔버 내에서 공정가스의 분산 공급을 위한 원통형 절연판으로서, 상기 공정가스의 공급을 일정한 방향으로 안내할 수 있도록 그 외측벽에 하향하며 직경이 증가되는 하향 경사부를 포함한다. 상기 절연판의 하향 경사부의 말단으로부터 상기 절연판의 하부면까지는 상기 절연판 외측벽이 수직 프로파일을 가지며, 상기 절연판의 중앙에는 가스 공급관이 형성되며, 상기 절연판의 중앙에 형성된 가스 공급관으로부터 공급되는 가스를 방사상으로 분산 공급할 수 있도록 상기 가스 공급관이 형성된 상기 절연판의 하부 표면에 부착되는 보조절연판을 더 포함할 수 있다. 상기 절연판의 외측벽에 형성되는 하향 경사부는 상기 절연판과 일체로 형성되거나, 상기 절연판의 외측벽으로부터 탈부착할 수 있도록 별개로 형성될 수도 있다.

한편, 본 발명의 상기 다른 목적을 달성하기 위한 본 발명의 제3 형태에 따른 플라즈마 처리장치를 하부전극은, 플라즈마를 형성할 수 있는 처리챔버내의 하부전극으로서, 그 표면에 접촉되는 웨이퍼의 미끄럼을 방지할 수 있는 적어도 하나의 비폐곡선형 홈이 형성되어 있다. 바람직하게는, 상기 비폐곡선형 홈은 상기 하부전극의 표면에 방사상으로 복수개가 형성되며, 직선형 또는 곡선형으로 형성될 수 있다.

한편, 상기 본 발명의 다른 목적으로 달성하기 위한 본 발명의 제4 형태에 따른 웨이퍼 가장자리의 플라즈마 처리방법은, 적어도 상부전극 및 하부전극을 구비하는 플라즈마 처리장치의 처리챔버내로 웨이퍼를 로딩한 후, 공정가스를 상기 웨이퍼의 가장자리 근처로 공급하여 상기 웨이퍼의 가장자리 근처에만 플라즈마를 발생시키면서 상기 웨이퍼의 가장자리를 처리하는 단계를 포함하며, 플라즈마를 오프시킨 후 상기 웨이퍼의 중앙으로부터 가장자리를 향하여 보조가스를 공급하면서 반응 부산물을 배기시킨 후, 상기 웨이퍼를 상기 처리챔버로부터 언로딩하는 단계를 포함한다.

상기 웨이퍼의 가장자리를 처리하는 단계에서는, 상기 공정가스를 웨이퍼의 가장자리 근처로만 공급하면서 처리되어야 할 웨이퍼의 가장자리로부터의 폭에 따라 상기 절연판과 상기 웨이퍼간의 갭을 조절하면서 수행하거나, 처리되어야 할 웨이퍼의 가장자리로부터의 폭에 따라 상기 웨이퍼의 직경과 상기 절연판의 하부면의 직경의 차이를 조절하면서 수행하거나 또는 공정가스의 유량을 조절하면서 수행하거나 이들 모두를 조합하여 조절하면서 수행할 수도 있다.

상기 웨이퍼의 가장자리를 처리하는 단계에서 사용하는 상기 공정가스는 C_xF_y계 가스 또는 육불화황(SF₆) 가스를 포함하며, 상기 공정가스에 아르곤가스, 질소가스 또는 산소가스를 포함하는 첨가가스를 더 조합하여 사용할 수 있으며, 상기 반응 부산물을 배기시키는 단계에서, 상기 보조가스는 바람직하게는 질소가스를 사용할 수 있다.

한편, 상기 본 발명의 다른 목적을 달성하기 위한 본 발명의 제5 형태에 따른 반도체소자의 제조방법은, 반도체 웨이퍼의 표면에 제1 물질층을 증착한 후, 상기 반도체 웨이퍼를 적어도 상부전극 및 하부전극을 구비하는 플라즈마 처리장치의 처리챔버내로 로딩한다. 이어서, 상기 웨이퍼의 가장자리 근처에만 플라즈마를 발생시키면서 상기 웨이퍼의 표면이 노출되도록 상기 웨이퍼의 가장자리에 증착된 상기 제1 물질층을 처리하여 제거하고, 상기 웨이퍼를 상기 처리챔버로부터 언로딩한 후, 상기 언로딩된 웨이퍼에 대하여 제2 물질층을 증착한다.

상기 제1 물질층은 도전층 또는 절연층일 수 있으며, 상기 제1 물질층은 상기 반도체 웨이퍼상에 형성된 도전층 또는 절연층으로 이루어진 다층의 물질층일 수 있다.

한편, 상기 웨이퍼의 가장자리의 제1 물질층을 처리하여 제거하는 단계에서는, 처리하여 제거되어야 할 상기 제1 물질층의 웨이퍼의 가장자리로부터의 폭에 따라 상기 절연판과 상기 웨이퍼간의 갭을 조절하면서 수행하거나, 상기 웨이퍼의 직경과 상기 절연판의 하부면의 직경의 차이를 조절하면서 수행하거나, 공정가스의 유량을 조절하거나 이들 모두를 조합하여 조절하면서 수행할 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다. 그러나, 본 발명은 많은 상이한 형태로 구현될 수 있으며, 여기서 설명되는 실시예들에 한정되는 것으로 해석되서는 아니되며, 처리하려는 실시예들은 그 개시내용을 완벽히 하며 발명의 사상을 당업자에게 충분히 전달하기 위해 제공되는 것이다. 도면들에서, 층들 및 영역들의 두께는 명료성을 위해 과장되어 있다. 동일한 참조번호는 전체적으로 동일한 요소를 지칭한다. 층, 영역 또는 기판과 같은 요소가 다른 요소 상(on)에 있는 것으로 언급될 때, 이것은 다른 요소 위에 직접 있거나 중간요소가 개입될 수도 있다. 반대로, 어떤 요소가 다른 요소 직접 상(directly on)에 있는 것으로 언급될 때, 그 곳에는 중간요소가 존재하지 않는 것을 의미한다.

먼저, 본 발명의 바람직한 실시예에 따른 플라즈마 처리장치에 대하여 설명한다.

도 3은 본 발명의 실시예에 따른 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치를 나타내는 개략적 단면도이며, 도 4는 본 발명의 실시예에 따른 상부 전극과 절연판을 나타내는 분해 사시도이며, 도 5는 본 발명의 실시예에 따른 하부전극, 절연체 및 측부 전극을 나타내는 분해 사시도이며, 도 6은 도 4에서 플라즈마 발생부분을 확대 도시한 단면도이다.

도 3 내지 도 6을 참조하면, 플라즈마 처리 공정이 수행될 처리챔버(70)가 처리챔버 벽체(71)에 의해 일정한 공간을 확보한 채 형성된다. 처리챔버 벽체(71)의 한 측벽면에는 처리할 웨이퍼(80)를 로딩/언로딩할 수 있는 웨이퍼 출입구(72)가 형성되며, 처리챔버(70)의 바닥에는 처리챔버(70) 내의 압력을 조절할 수 있는 배기펌프(99)가 설치되어 있다. 배기펌프(99)의 설치 위치는 처리챔버(70)의 측벽에 설치될 수도 있으며, 바닥 또는 측벽을 따라 복수개가 설치될 수도 있다.

처리챔버(70)의 상측에는 상부전극(74)이 설치되며, 상부전극(74)은 도 4에서 보여지듯이, 가장자리를 따라 하향 돌출부를 갖는 원통형으로 형성되며, 그 중앙에는 공정가스 공급관(75a) 및 보조가스 공급관

(76b)이 각기 형성된다. 상부전극(74)의 상부면에는 처리챔버 벽체(71)의 천정으로부터 연결된 벨로우즈로 된 신축부(71a)와 결합될 수 있는 상부전극 지지대(74a)가 원통형으로 형성되어 있다.

상기 상부전극(74)의 상부면에는 내부에 공정가스 공급관(75a) 및 보조가스 공급관(76b)이 관통되도록 형성되어 있는 스텝(74b)이 일체로 또는 체결구에 의해 결합되어 설치된다. 공정가스 공급관(75a)의 말단에는 공정가스 공급원(75)이 위치하며, 보조가스 공급관(76b)의 말단에는 보조가스 공급원(76)이 위치한다. 상기 스텝(74b)의 상측부는 상부전극 이동판(77)과 고정 결합되어 있다. 상부전극 이동판(77)은 상부전극 이동판 구동부(78)에 의해 상하로 이동할 수 있도록 구성되어 있다. 또한 상부전극 이동판(77)은 처리챔버 벽체(71)의 상측에 상부전극 이동판 지지대(77a)에 의해 신축적으로 지지되어 있다.

상부전극(74)의 하향 돌출부의 내측에는 공급되는 공정가스를 방사상으로 분산시킬 수 있는 가스분산판(Gas Distribution Plate; 80e)의 역할을 하는 세라믹으로 된 주절연판(79)이 체결홀들(74c, 79b)에 삽입될 수 있는 체결구(도시안됨)에 의해 부착된다. 주절연판(79)의 하부 중앙에는 역시 세라믹으로 된 보조절연판(79d)이 체결홀(79a)에 체결구(도시안됨)를 넣어 부착된다.

상부전극(79)과 주절연판(79)이 결합됨으로써 상부전극(79)의 바닥면 및 링상으로 돌출된 하향 돌출부의 내측벽과 상기 주절연판(79)의 상부면과 외측벽 사이에는 공정가스가 공급될 수 있는 통로가 형성된다. 주절연판(79)의 외측벽에는 하향 경사진 하향경사부(도 6의 79f)가 존재한다. 즉, 상부전극(74)의 수직하는 내측벽과 대응되도록 그 상부측에는 수직 프로파일을 갖는 제1 수직부(도 6의 79e)를 갖지만, 주절연판(79) 외측벽의 중간 부분에서부터는 그 직경이 증가하도록 하향경사부(79f)가 형성된다. 따라서, 상부전극(79)의 하향 돌출부의 내측벽과 주절연판(79)의 외측부가 이루는 공간을 통해 공급되던 공정가스는 상기 경사부의 존재로 인하여 공정가스가 웨이퍼(80)의 가장자리로 외향되도록 공급되어진다.

한편, 상기 주절연판(79)의 외측벽에 형성된 하향 경사부의 말단부터는 다시 수직하는 프로파일을 갖는 제2 수직부(79g)가 형성된다. 만약 하향경사부(79f)가 주절연판(79)의 하부면까지 계속적으로 연장되면 그 말단에는 예각으로 된 첨단이 형성되어 플라즈마에 의한 마모가 일어날 가능성이 많으며, 마크 발생의 요인이 되기도 하기 때문에 이를 방지하기 위함이다. 이러한 하향경사부(79f)의 크기는 본 발명에서 매우 중요한 요소로서, 도 6에서 보여지는 바와 같이 웨이퍼(80)의 직경과 주절연판(79)의 직경 차이를 알 수 있게 하는 거리 'L'을 결정하는 요소가 된다.

즉, 거리 'L'의 크기에 따라 플라즈마 형성영역(P)에 노출되는 웨이퍼(80)의 노출 폭을 결정해준다. 다른 한편, 상기 하향경사부(79f)의 존재로 인하여 상부전극(74)의 치수를 변경함이 없이 단순히 본 발명에서는 처리하려는 웨이퍼(80)의 직경의 크기에 따라서, 혹은 웨이퍼(80)의 가장자리에서 플라즈마 처리할 영역의 폭의 크기에 따라서 다양한 직경을 갖는 주절연판(79)을 구비하여 교체 사용할 수 있다.

상기 주절연판(79)의 중앙 하부면에 부착된 보조절연판(79d)은 웨이퍼 중앙으로 공급되는 보조가스, 예를 들어 질소가스를 원형으로 구성된 보조가스 분출구(79c)를 통하여 분산 공급할 수 있도록 하기 위한 것이다.

한편, 상기 상부전극(74) 및 주절연판(79)은 상기 상부전극 이동판(77)의 상하 이동에 의해 상하 이동하게 되며, 그 이동 경로를 따라 상기 처리챔버 벽체(71)에 상부전극(74) 또는 주절연판(79)의 수직 위치를 감지할 수 있는 위치 감지수단(91), 예를 들어 레이저 센서가 설치되며, 상기 위치 감지수단(91)에 감지된 신호에 따라 상부전극 이동판(77)의 이동을 제동할 수 있는 제동수단(91b)이 처리챔버 벽체(71)의 상측에 설치된다.

도 6에서 보자듯이, 이러한 상부전극(74)의 상하 이동에 의하여 웨이퍼(80)의 상부 표면과 주절연판(79)의 하부 표면간의 갭의 크기 'H'가 결정된다. 갭의 크기 'H'는 본 발명에서 또한 중요한 요소로서, 플라즈마 처리 동안에 상부전극(74)을 하향 이동시켜 웨이퍼(80)의 상부 표면과 주절연판(79)의 하부 표면간의 근접시킴으로써 공정가스가 웨이퍼의 중앙으로 침투하여 웨이퍼의 중앙에서 플라즈마가 형성되는 것을 방지할 수 있다. 본 실시예에서는 상기 'H'가 3.0 mm 이상이 되는 경우 플라즈마가 웨이퍼(80)의 중앙으로도 형성되지만, 3.0 mm이하로 관리할 경우에는 웨이퍼(80)의 가장자리에서만 플라즈마가 형성됨을 알 수 있었다. 따라서 웨이퍼(80)의 가장자리에 형성된 피처리 물질층의 식각되는 폭에 따라서 상기 'H'의 크기를 적절히 조절할 수 있다.

한편, 본 발명에서는 웨이퍼(80)는 하부전극(82)상에 직접 접촉하도록 장착된다. 하부전극(82)은 RF 소오스(96)로부터 공급되는 RF파워의 증가와 함께 그 위에 장착되는 웨이퍼가 중앙부가 불룩하게 튀어지는 것을 방지할 수 있도록 충분한 크기로 형성한다. 본 실시예에서는 200 mm 직경의 웨이퍼(80)에 대하여 하부전극(82)의 직경을 196 mm로 하였다. 본 발명에서는 웨이퍼(80)와 하부전극(82)이 직접 접촉하기 때문에 RF 파워가 용량성(capacitively)으로 전달되지 않고 전기도선처럼 전달되기 되며, 따라서 웨이퍼(80)와 직접 접촉하는 하부전극(82)의 접촉면적이 증가함에 따라 RF 파워의 전달 효율이 증가하고, 반면에 웨이퍼(80) 가장자리에서 웨이퍼(80)를 따라서 전달되는 RF 파워분이 감소되기 때문에 웨이퍼(80) 가장자리에서의 식각속도가 커진다.

도 5에서 보자듯이 하부전극(82)의 상부 표면에는 방사상으로 배치된 복수개의 홀(82b)이 형성되어 있다. 상기 홀(82b)들은 그 위에 장착되는 웨이퍼(80)의 미끄럼을 방지할 수 있다는 점에서 바람직하다. 상기 홀(82b)들은 폐곡선을 구성하지 않도록 비폐곡선 형태로 구성한다. 홀(82b)들이 폐곡선을 이루면 이곳에서 원하지 않는 플라즈마 발생할 수 있다는 것을 방지하기 위함이다. 상기 홀(82b)들은 직선형 및 곡선형 등의 다양한 형태로 구성할 수 있다.

한편, 본 실시예에서는 웨이퍼(80)가 하부전극(82)의 표면에 자유롭게 장착되지만, 진공 또는 정전력을 이용한 각종 척킹(chucking) 수단을 이용하여 웨이퍼(80)를 하부전극(82)상에 강제로 장착할 수도 있다.

하부전극(82)에는 하부전극(82)의 온도를 조절할 수 있는 하부전극 냉각부(92)가 내장 또는 외장되어 설치된다. 하부전극 냉각부(92)는 하부전극 냉각원(94)이 연결되어 냉매의 순환을 통하여 하부전극(82)의 온도를 설정값이 유지되도록 제어할 수 있다.

하부전극(82)의 하부면은 처리챔버 벽체(71)의 바닥과 절연시키며, 하부전극(82)을 지지할 수 있는 제2

절연체(85)가 형성되어 있다. 하부전극(82)은 체결홀(82a)을 통하여 제2 절연체(85)에 고정된다.

하부전극(82)의 외측벽으로부터 일정 거리 이격되어 측부전극(86)이 설치된다. 상기 측부전극(86)은 웨이퍼의 형상에 대응하여 형성된 하부전극(82)의 외측벽을 감싸는 형태로 링 형상으로 구성되어 있다. 상기 하부전극(82)과 측부전극(86) 사이에는 예를 들어, 세라믹으로 된 제1 절연체(84)가 링 형상으로 삽입되어 있다. 제1 절연체(84)의 상부 표면은 하부전극(82)의 상부 표면의 높이보다 아래에 위치함으로써 웨이퍼(80)의 뒷면 가장자리가 오픈되도록 하는 것이 웨이퍼(80) 뒷면에 형성되는 불필요한 적층물을 제거할 수 있다는 점에서 바람직하다. 상기 제1 절연체(84)와 제2 절연체(85)는 동일 절연물질 또는 이종 절연물질로 구성할 수 있다.

본 실시예에서는 웨이퍼(80)가 하부전극(82)의 표면에 직접 장착되기 때문에 웨이퍼(80)의 로딩 및 언로딩시 웨이퍼(80)를 수직으로 상승 및 하강시킬 수 있도록 복수개의 리프트핀(88)이 사용된다. 하부전극(82)을 관통하는 리프트핀(88)들은 리프트핀 이동판 구동부(98)에 의해 상하로 이동할 수 있는 리프트핀 이동판(97)에 의해 상하로 이동할 수 있다.

측부전극(86)의 외측벽과 처리챔버 벽체(71) 사이에는 링 형상의 배플판(90)이 형성되어 배기가스를 적절한 방향으로 분산시켜줄 수 있다. 처리챔버(70)의 상측 부분에는 공정 완료후 공급되는 퍼지가스 공급구(73)가 바람직하게는 링 형상으로 설치된다.

하부전극(82)의 하측으로는 RF소오스(96)가 연결되어 하부전극(82)에 RF 파워를 전달할 수 있도록 구성되어 있다. 이에 대하여 상부전극(74) 및 측부전극(86)은 각기 접지된다. 따라서 본 실시예에서는 하부전극(82)이 캐소드 역할을 하는 동시에 상부전극(74) 및 측부전극(86)은 애노드 역할을 한다.

본 발명에서는 웨이퍼(80)의 가장자리 근처에 플라스마가 형성될 수 있도록 캐소드 및 애노드를 다양한 형상으로 구성할 수 있다. 예를 들어, 본 실시예에서와 같이 상기 상부전극(74) 및 측부전극(86)은 애노드이며, 상기 하부전극(82)은 캐소드이거나, 상기 상부전극(74) 및 측부전극(86)은 캐소드이며, 상기 하부전극(82)은 애노드일 수 있다. 또한, 상기 하부전극(82) 및 측부전극(86)은 애노드이며, 상기 상부전극(74)은 캐소드이거나, 상기 상부전극(74) 및 측부전극(86)은 캐소드이며, 상기 하부전극(82)은 애노드일 수 있다.

다음으로 본 발명의 실시예에 따라 웨이퍼 가장자리에 대한 플라스마 처리방법 및 반도체 소자의 제조방법에 대하여 설명한다.

도 7은 본 발명의 실시예에 따른 웨이퍼 가장자리 처리방법을 나타낸 공정순서도이며, 도 8 및 도 9는 본 발명의 실시예에 따른 웨이퍼 가장자리 처리방법 및 반도체 소자의 제조방법을 설명하기 위한 공정 단면도들이다.

먼저, 도 7을 참조하면, 상술한 본 발명의 플라스마 처리장치와 같이 로딩되는 웨이퍼의 가장자리 근처에 한 플라스마를 형성시킬 수 있는 처리챔버내로 웨이퍼를 로딩시킨다(S10). 여기서 로딩되는 웨이퍼는 웨이퍼상에 반도체 집적회로를 구성하기 위한 제조과정 중에서 다양한 단계에서 적용될 수 있다.

도 8은 본 발명의 실시예를 설명하기 위해 반도체 DRAM에서 비트라인을 형성한 후의 단계를 설명하기 위하여 가장자리 영역(8)을 구분하여 나타낸 것이다. 보다 구체적으로 그 제조과정을 살펴보면, 침영액(A)에서는 반도체기판(100)의 표면에 트랜치 형상의 소자분리영역(102)을 형성시키고, 반도체기판(100)상에 게이트라인(도시안됨)을 형성시킨 후, 제1 층간절연층(104)을 증착시키고, 반도체기판(100)의 소자 활성영역을 노출시키는 콘택홀을 형성한 후 도전층을 매립하여 콘택 패드층(106)을 형성한다. 이어서, 전면에 제2 층간절연층(108)을 형성한 후 DC(Direct Contact) 콘택홀을 형성한 후 제2 층간절연층(108)의 전면에 비트라인 도전층(110) 및 비트라인 마스크층(114) 물질층을 증착한 후 패터닝하여 비트라인을 형성하고 비트라인이 형성된 전면에 비트라인 스페이서 물질층을 증착한 후 이방성 식각하여 비트라인의 측벽에 비트라인 스페이서층(114)을 형성한다. 이어서 제3 층간절연층(116)을 형성한다.

본 실시예에서 상기 제2 층간절연층(108)은 BPSG층이며, 비트라인 도전층(110)은 텅스텐층이며, 비트라인 마스크층(112)은 실리콘나이트라이드층이며, 비트라인 스페이서층(114)도 실리콘나이트라이드층이며, 제3 층간절연층(116)은 옥사이드층이다.

도 8에서 보여지듯이, 웨이퍼 가장자리(B) 영역에서는 제2 층간절연층(108)을 형성하기 이전에 형성된 물질층들은 이미 본 발명의 실시예에 따라 플라스마 처리되어 제거된 상태이다. 따라서 웨이퍼 가장자리(B)에서는 제2 층간절연층(108)을 형성하는 단계 이후 제3 층간절연층(116)을 형성하는 단계에 이르기까지 증착된 물질층들이 거의 동일한 두께로 형성된다. 따라서, 본 발명에서 피처리되어야 할 물질층은 웨이퍼 가장자리(B)에 누적되어 있는 제2 층간절연층(108), 비트라인 도전층(110), 비트라인 마스크층(112), 비트라인 스페이서층(114) 및 제3 층간절연층(116)이다. 도 8에서는 반도체기판(100)의 상부 표면 상에만 피처리 물질층들이 증착된 것으로 간략히 도시하였으나, 반도체기판(100)의 측면 및 후면에도 이러한 피처리 물질층의 전부 혹은 일부가 증착 공정의 조건에 따라 적절한 두께로 형성될 수 있다.

계속하여, 도 7을 참조하면, 도 3과 같은 플라스마 처리장치로 피처리할 웨이퍼(80)를 로딩한 후, 처리챔버(70)내의 압력조건을 일정한 상태, 예를 들어 1 Torr로 맞추기 위해 배기펌프(99)를 가동하여 펌핑한다(S20).

이어서, 도 3에서 보여지듯이 상부전극(74)을 하향 이동시켜 웨이퍼(80)와 주절연판(79) 사이의 갭을 예를 들어 0.35 mm가 되도록 조절한다. 이어서 공정가스 공급원(75)을 통하여 CF₄ 가스를 100 내지 250 sccm, 아르곤가스를 20 내지 200 sccm의 유량으로 공급하여 처리챔버(70)내를 안정화시키기 위해 대기(stand-by)시킨다(S30). 이때, 처리챔버(70) 내의 압력을 1.5 Torr가 되도록 조정한다.

이어서, 하부전극(82)에 연결된 RF소오스(96)에 예를 들어 500 W의 파워를 인가하여 플라스마를 웨이퍼(80)의 가장자리를 따라 형성시키며 웨이퍼(80) 가장자리의 피처리 물질층을 식각시킨다(S40). 이때 공정 가스는 계속하여 CF₄ 가스를 100 내지 250 sccm, 아르곤가스를 20 내지 200 sccm의 유량으로 공급하며, 압

력도 1.5 Torr가 유지되도록 한다.

이어서, 웨이퍼(80) 가장자리의 피처리 물질층이 충분히 제거되어 웨이퍼(80), 즉 도 9에서 보여지듯이 반도체기판(100)의 표면이 노출되면 플라즈마를 오프시키고 반응 부산물을 배기시킨다(S50). 배기 시간 동안에는 보조가스 공급원(76)을 통하여 질소가스를 50 내지 200 sccm의 유량으로 웨이퍼(80) 중앙으로 공급한다.

이어서 충분히 배기가 되면, 상부전극(74)을 소정의 높이까지 상향 이동시킨 후, 퍼지가스 공급구(73)를 통하여 퍼지가스, 예를 들어 질소가스를 공급하여 처리챔버(70)내를 퍼지한다(S60).

이어서 웨이퍼를 언로딩하면(S70), 도 9에서 보여지듯이 웨이퍼의 가장자리(B)영역에서는 피처리 물질층들이 모두 제거된 동시에 반도체기판(100)의 노출된 표면 일부도 제거된다. 도 9에서 점선으로 표시한 참조번호 '100'는 플라즈마 처리에 의해 제거된 반도체기판(100)의 부분을 나타낸다. 챔버영역(A)에서는 해당 공정 단계에서 형성된 집적회로를 구성하는 물질층들이 잔존하게 된다.

계속하여, 반도체 집적회로를 제조하는 후속 공정들을 수행하며, 일정한 단계들을 수행하면, 역시 웨이퍼 가장자리(B)에는 다시 피처리 물질층들이 누적되며, 그때 다시 도 7에서와 같은 시퀀스로 웨이퍼 가장자리(B)에 형성된 불필요한 피처리 물질층을 제거한다. 이러한 공정은 반도체 제조의 전과정에서 반복적으로 수행할 수 있다.

다음으로, 본 발명의 식각 공정조건하에서 여러 가지 물질층에 대한 식각속도를 웨이퍼상의 위치에 따라 평가하였다.

도 10은 본 발명의 실시예에 따른 공정 조건하에서 산화막에 대한 식각 특성을 나타낸 그래프이며, 도 11은 질화막에 대한 식각 특성을 나타낸 그래프이며, 도 12는 폴리실리콘에 대한 식각 특성을 나타낸 그래프이다.

각 그래프에서 수평축은 200 mm 웨이퍼의 중앙으로부터 가장자리까지의 위치를 나타내며, 수직축은 각 위치에서의 식각속도를 나타낸다. 공정조건은 RF 파워가 500 W이며, 공정가스로서 CF₄ 가스의 유량이 150 sccm, 아르곤가스의 유량이 70 sccm, 공정압력이 1.5 Torr이고, 도 6에서의 거리 'L'이 1.5 mm로 하였다. 또한, 그래프들에서, 웨이퍼를 평면으로 놓고 볼 때, 웨이퍼의 플랫존을 하측단이라고 하였을 때 플랫존의 반대쪽이 '상측단'이며, 웨이퍼의 좌측을 '좌측단'이라고 표기하였다. 또한, 각 그래프에서 수평축의 최우측에서 위치 '0.0 mm'는 웨이퍼의 중앙이며, '0.0mm'와 '-95.2mm' 사이는 축약하여 나타낸 그래프이다.

각 그래프에서 웨이퍼의 가장자리로부터 웨이퍼의 중앙으로 1.5 mm 되는 위치에서 측정한 식각속도를 보면, 산화막(TEOS)은 12,446 Å/min, 실리콘나이트라이드는 11,850 Å/min, 폴리실리콘은 7,250 Å/min을 각기 나타내었다. 산화막의 선택비를 1로 하였을 때 실리콘나이트라이드의 선택비는 0.95이며, 폴리실리콘의 선택비는 0.58을 나타낸다.

이러한 식각선택비는 누적된 피처리물질층에 대한 식각시간을 예측하게 해주며, 각 물질층간의 식각속도와 종착된 두께를 고려하여 가능한 비선형적인 조건이 되도록 조절할 수 있으며, 특정 물질층에 대한 선택적 식각 특성이 필요할 경우에는 공정가스의 케미컬의 조합을 변경함으로써 대응이 가능함을 알 수 있다.

다음으로 본 발명에서 여러 가지 파라미터별로 식각 특성을 평가하였다.

도 13은 본 발명의 실시예에 따른 공정 조건하에서 가스분산판의 크기(도 6에서 'L')에 따른 질화막에 대한 식각 특성을 나타낸 그래프이며, 도 14는 산소가스의 유량에 따른 질화막에 대한 식각 특성을 나타낸 그래프이며, 도 15는 웨이퍼 중앙으로 공급되는 보조가스(예를 들어, 질소가스)의 유량에 따른 질화막에 대한 식각 특성을 나타낸 그래프이며, 도 16은 공정가스의 유량에 따른 산화막에 대한 식각 특성을 나타낸 그래프이다.

도 13으로부터, 가스분산판의 크기(즉, 도 6의 'L')가 1.5 mm에서 1.9 mm로 증가할수록 웨이퍼의 가장자리에서 식각속도가 증가함을 알 수 있으며, 웨이퍼의 중앙쪽으로도 식각속도가 상승함을 알 수 있다. 이것은 'L'이 커질수록 가스분산판(79)으로부터 오픈되는 웨이퍼의 직경이 커지기 때문에 플라즈마 처리되는 부분이 웨이퍼 중앙쪽으로 증가한다는 것을 의미한다. 따라서, 웨이퍼 가장자리에서 피처리 물질층의 피처리 폭에 따라서 적절한 크기를 갖는 가스분산판을 선택하여 교체사용할 수 있다.

도 14로부터, 공정가스로서 산소가스를 추가한 경우에는 웨이퍼 가장자리에서의 식각속도에서 약간의 증가를 보였지만, 웨이퍼 중앙쪽에서의 플라즈마 식각 처리되는 폭의 변화가 미약함을 알 수 있다.

도 15로부터, 플라즈마 처리 동안에 웨이퍼의 중앙쪽으로 질소가스를 투입한 경우에는 질소가스의 투입에 도 불구하고 식각속도의 변화는 거의 없음을 알 수 있으며, 웨이퍼 중앙쪽에서의 플라즈마 식각처리되는 폭의 변화가 거의 없음을 알 수 있다.

도 16으로부터, 공정가스에서 CF₄의 유량을 증가시킬수록 식각속도가 증가함을 알 수 있으나, 아르곤가스의 증가는 식각속도의 증가에 크게 영향이 없음을 알 수 있다. 또한 공정가스의 유량은 웨이퍼 중앙쪽에서의 플라즈마 식각 처리가 되는 폭에 큰 영향을 끼치지 않음을 알 수 있다.

이상은 본 발명의 바람직한 실시예에 대한 구체적인 설명이지만, 본 발명은 상기 실시예들의 형태에 한정되는 것이 아니라 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 당업자의 기술수준에 따라 여러 가지로 변형을 가하는 것이 가능하다. 예를 들어, 본 발명에 따른 플라즈마 처리장치에 있어서, 본 실시예에서는 상부전극만이 상향 이동이 가능한 것으로 기술하였지만, 상부전극 외에도 하부전극 또는 측부전극을 이동가능하게 구성할 수 있음은 물론이며, 각 구성부품을 다양한 재질이나 치수로 구성할 수 있으며, 피처리 웨이퍼의 직경이 200 mm 이외도 300 mm나 다른 사이즈의 것들에 대하여도 적용할 수 있음은 물론이다.

또한, 본 발명의 실시예에서는 측부전극(86)이 하부전극(82)의 외측벽을 둘러싸며 이격되는 경우를 하부 측부전극(86)에 대하여 설명하였지만, 상부전극(74)의 외측벽을 둘러싸며 절연 및 이격되어 있는 상부 측부전극을 더 포함할 수 있다. 이 경우에는 웨이퍼의 가장자리를 따라 플라즈마를 형성시키기 위해, 상부전극(74) 및 하부 측부전극(86)을 애노드로 하고 하부전극(82) 및 상부 측부전극을 캐소드로 할 수 있으며, 상부전극(74) 및 상부 측부전극을 애노드로 하고 하부전극(82) 및 하부 측부전극(86)을 캐소드로 할 수 있으며, 상부전극(74) 및 상부 측부전극(86)을 캐소드로 하고 하부전극(82) 및 하부 측부전극을 애노드로 할 수 있으며, 상부전극(74) 및 하부 측부전극을 캐소드로 하고 하부전극(82) 및 상부 측부전극(86)을 애노드로 할 수 있다.

또한, 본 발명의 플라즈마 처리단계에 대하여 비트라인 형성후의 단계에 대하여 기술하였지만, 반도체 집적회로의 다양한 단계에서 적용할 수 있음은 물론이다.

발명의 효과

본 발명에 의하면, 웨이퍼 가장자리에 누적된 불필요한 피처리 물질층을 정밀하게 제어된 플라즈마로 처리하여 제거함으로써 공정시간이 단축되며, 공정설비 비용이 절감되었다. 또한, 웨이퍼의 크기, 피처리 물질층의 종류 및 두께에 따라 플라즈마 처리를 적절히 조절하여 적용할 수 있기 때문에 공정효율이 향상되었다.

(57) 청구의 범위

청구항 1

웨이퍼 처리가 가능한 처리챔버;

상기 처리챔버의 하측에 설치되며, 그 상부면에 웨이퍼를 장착할 수 있는 하부전극;

상기 하부전극의 외측벽을 따라 이격되어 있는 측부전극;

상기 하부전극 및 상기 측부전극에 대응하여 상기 처리챔버의 상측에 설치되어 있는 원통상의 상부전극; 및

상기 하부전극상에 장착되는 상기 웨이퍼의 가장자리 영역에 플라즈마를 형성할 수 있도록 상기 상부전극, 하부전극 및 측부전극 중의 적어도 하나에 연결된 RF소오스를 포함하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 2

제 1 항에 있어서, 상기 상부전극은 가장자리를 따라 하향 돌출부를 가지며, 중앙부에 공정가스 공급관이 형성되어 있는 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 3

제 2 항에 있어서, 상기 상부전극의 하향 돌출부 내측에 부착되며, 공정가스가 상기 웨이퍼의 가장자리를 따라 분산공급되도록 상기 상부전극과의 사이에 일정한 간격을 유지하는 원통상의 절연판을 더 포함하는 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 4

제 3 항에 있어서, 상기 절연판은 그의 외측벽이, 상기 절연판과 상기 상부전극의 하향 돌출부의 내측벽과의 사이로 통과되는 공정가스가 상기 웨이퍼의 가장자리로 외향 공급되도록 적어도 외측으로 하향 경사진 하향경사부를 포함하는 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 5

제 4 항에 있어서, 상기 절연판의 하향경사부의 말단은 수직 프로파일을 갖는 수직부를 포함하는 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 6

제 3 항에 있어서, 상기 절연판의 중앙에는 보조가스를 공급할 수 있는 보조가스 공급관이 더 형성되어 있으며, 상기 보조가스를 방사상으로 분산 공급할 수 있도록 상기 보조가스 공급관이 형성된 상기 절연판의 하부 표면에 부착되는 보조절연판을 더 포함하는 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 7

제 6 항에 있어서, 상기 절연판 및 보조절연판은 세라믹으로 된 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 8

제 3 항에 있어서, 상기 절연판의 하부 표면의 직경은 상기 웨이퍼의 가장자리를 따라 일정한 폭의 오픈 영역이 형성되도록 상기 웨이퍼의 직경보다 작은 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 9

제 3 항에 있어서, 상기 절연판과 상기 웨이퍼간의 갭을 조절할 수 있도록 상기 절연판 및 상기 상부전극

을 상하로 이동시킬 수 있는 상하 이동수단이 더 포함된 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 10

제 9 항에 있어서, 상기 절연판과 상기 웨이퍼간의 갭은 적어도 0.3 mm 까지 조절되는 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 11

제 9 항에 있어서, 상기 상부전극 및 절연판의 상하 이동 경로를 따라 상기 상부전극 또는 상기 절연판의 상하 위치를 감지할 수 있는 위치 감지수단과, 상기 위치 감지수단에 의해 감지된 신호에 따라 상기 상부전극 및 절연판의 상하 이동을 제동할 수 있는 제동수단을 더 포함하는 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 12

제 1 항에 있어서, 상기 하부전극의 상부 표면은 상기 웨이퍼의 하부 표면과 직접 접촉될 수 있으며, 상기 하부전극의 상부 표면의 형상이 그 위에 직접 접촉되는 웨이퍼의 형상에 대응하도록 구성되어 있는 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 13

제 12 항에 있어서, 상기 하부전극의 상부 표면의 직경은 상기 웨이퍼의 가장자리를 따라 일정한 폭의 비접촉 영역이 형성되도록 상기 웨이퍼의 직경보다 작은 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 14

제 12 항에 있어서, 상기 하부전극의 상부 표면에는 웨이퍼의 미끄럼을 방지할 수 있는 적어도 하나의 비폐곡선형 홈이 형성되어 있는 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 15

제 14 항에 있어서, 상기 하부전극의 상부 표면에는 방사상으로 배치된 복수개의 비폐곡선형 홈이 형성되어 있는 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 16

제 1 항에 있어서, 상기 하부전극의 상부 표면에 상기 웨이퍼를 강제적으로 척킹할 수 있는 척킹수단을 더 포함하는 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 17

제 12 항에 있어서, 상기 하부전극에는 상기 웨이퍼를 상승 또는 하강시킬 수 있는 리프트핀 홈이 형성되어 있는 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 18

제 1 항에 있어서, 상기 하부전극의 온도를 조절할 수 있는 하부전극 냉각수단을 더 포함하는 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 19

제 1 항에 있어서, 상기 하부전극의 측벽과 상기 측부전극 사이에는 세라믹으로 된 제1절연체가 더 형성되어 있는 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 20

제 1 항에 있어서, 상기 측부전극은 상기 하부전극을 둘러싸는 링 형상임을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 21

제 1 항에 있어서, 상기 상부전극 및 측부전극은 애노드이며, 상기 하부전극은 캐소드임을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 22

제 1 항에 있어서, 상기 상부전극 및 측부전극은 캐소드이며, 상기 하부전극은 애노드임을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 23

제 1 항에 있어서, 상기 하부전극 및 측부전극은 애노드이며, 상기 상부전극은 캐소드임을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 24

제 1 항에 있어서, 상기 상부전극 및 측부전극은 캐소드이며, 상기 하부전극은 애노드임을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 25

제 1 항에 있어서, 상기 하부전극과 상기 처리챔버의 내측벽 사이에 배플판을 더 포함하는 것을 특징으로 하는 웨이퍼 가장자리를 처리하기 위한 플라즈마 처리장치.

청구항 26

플라즈마를 형성할 수 있는 처리챔버 내에서 공정가스의 분산 공급을 위한 원통형 절연판으로서, 상기 공정가스의 공급을 일정한 방향으로 안내할 수 있도록 그 외측벽에 하향하며 직경이 증가되는 하향 경사부를 포함하는 것을 특징으로 하는 플라즈마 처리장치용 절연판.

청구항 27

제 26 항에 있어서, 상기 절연판의 하향 경사부의 말단으로부터 상기 절연판의 하부면까지는 상기 절연판 외측벽이 수직 프로파일을 갖는 것을 특징으로 하는 플라즈마 처리장치용 절연판.

청구항 28

제 26 항에 있어서, 상기 절연판의 중앙에는 가스 공급관이 더 형성되어 있는 것을 특징으로 하는 플라즈마 처리장치용 절연판.

청구항 29

제 28 항에 있어서, 상기 절연판의 중앙에 형성된 가스 공급관으로부터 공급되는 가스를 방사상으로 분산 공급할 수 있도록 상기 가스 공급관이 형성된 상기 절연판의 하부 표면에 부착되는 보조절연판을 더 포함하는 것을 특징으로 하는 플라즈마 처리장치용 절연판.

청구항 30

제 29 항에 있어서, 상기 절연판 및 보조절연판은 세라믹으로 된 것을 특징으로 하는 플라즈마 처리장치용 절연판.

청구항 31

제 26 항에 있어서, 상기 절연판의 외측벽에 형성되는 하향 경사부는 상기 절연판과 일체로 형성되거나, 상기 절연판의 외측벽으로부터 탈부착할 수 있도록 별개로 형성될 수 있는 것을 특징으로 하는 플라즈마 처리장치용 절연판.

청구항 32

플라즈마를 형성할 수 있는 처리챔버내의 하부전극으로서, 그 표면에 접촉되는 웨이퍼의 미끄럼을 방지할 수 있는 적어도 하나의 비폐곡선형 홈이 형성되어 있는 플라즈마 처리장치용 하부전극.

청구항 33

제 32 항에 있어서, 상기 비폐곡선형 홈은 상기 하부전극의 표면에 방사상으로 복수개가 형성된 것을 특징으로 하는 플라즈마 처리장치용 하부전극.

청구항 34

제 33 항에 있어서, 상기 비폐곡선형 홈은 직선형 또는 곡선형으로 형성되어 있는 것을 특징으로 하는 플라즈마 처리장치용 하부전극.

청구항 35

적어도 상부전극 및 하부전극을 구비하는 플라즈마 처리장치의 처리챔버내로 웨이퍼를 로딩하는 단계;

공정가스를 상기 웨이퍼의 가장자리 근처로 공급하여 상기 웨이퍼의 가장자리 근처에만 플라즈마를 발생시키면서 상기 웨이퍼의 가장자리를 처리하는 단계;

플라즈마를 오프시킨 후 상기 웨이퍼의 중앙으로부터 가장자리를 향하여 보조가스를 공급하면서 반응 부산물을 제거시키는 단계; 및

상기 웨이퍼를 상기 처리챔버로부터 언로딩하는 단계를 포함하는 웨이퍼 가장자리의 플라즈마 처리방법.

청구항 36

제 35 항에 있어서, 상기 플라즈마 처리장치는, 웨이퍼 처리가 가능한 처리챔버; 상기 처리챔버의 하측에 설치되며, 그 상부면에 웨이퍼를 장착할 수 있는 하부전극; 상기 하부전극의 외측벽을 따라 이격되어 있는 측부전극; 상기 하부전극 및 상기 측부전극에 대응하여 상기 처리챔버의 상측에 설치되어 있는 상부전극; 상기 상부전극의 하부 표면에 부착되며, 공정가스가 상기 웨이퍼의 가장자리를 따라 분산공급되도록 상기 상부전극과의 사이에 일정한 간극을 유지하며 설치된 원통상의 절연판; 및 상기 하부전극상에 장착되는 상기 웨이퍼의 가장자리 영역에 플라즈마를 형성할 수 있도록 상기 상부전극, 하부전극 및 측부전극 중의 적어도 하나에 연결된 RF소오스를 포함하는 것을 특징으로 하는 웨이퍼 가장자리의 플라즈마 처리방법.

청구항 37

제 36 항에 있어서, 상기 절연판은 그의 외측벽이, 상기 절연판과 상기 상부전극의 하향 돌출부의 내측벽과의 사이로 통과되는 공정가스가 상기 웨이퍼의 가장자리로 외향 공급되도록 적어도 외측으로 하향 경사

진 부분을 포함하는 것을 특징으로 하는 웨이퍼 가장자리의 플라즈마 처리방법.

청구항 38

제 36 항에 있어서, 상기 웨이퍼의 가장자리를 처리하는 단계에서는, 상기 공정가스를 웨이퍼의 가장자리 근처로만 공급하면서 처리되어야 할 웨이퍼의 가장자리로부터의 폭에 따라 상기 절연판과 상기 웨이퍼간의 갭을 조절하면서 수행하는 것을 특징으로 하는 웨이퍼 가장자리의 플라즈마 처리방법.

청구항 39

제 35 항에 있어서, 상기 웨이퍼의 가장자리를 처리하는 단계에서는, 웨이퍼의 가장자리 상부면, 측면 및 하부면에 대하여 동시에 처리하는 것을 특징으로 하는 웨이퍼 가장자리의 플라즈마 처리방법.

청구항 40

제 36 항에 있어서, 상기 웨이퍼의 가장자리를 처리하는 단계에서는, 처리되어야 할 웨이퍼의 가장자리로부터의 폭에 따라 상기 웨이퍼의 직경과 상기 절연판의 하부면의 직경의 차이를 조절하면서 수행하는 것을 특징으로 하는 웨이퍼 가장자리의 플라즈마 처리방법.

청구항 41

제 36 항에 있어서, 상기 웨이퍼의 가장자리를 처리하는 단계 이전에, 상기 처리챔버내의 압력조건을 맞추기 위해 펌핑하는 단계; 및

상기 처리챔버내의 상기 웨이퍼의 가장자리 근처로 공정가스를 투입하여 대기시키는 단계를 더 수행하는 것을 특징으로 하는 웨이퍼 가장자리의 플라즈마 처리방법.

청구항 42

제 35 항에 있어서, 상기 웨이퍼의 가장자리를 처리하는 단계에서 사용하는 상기 공정가스는 C_2F_4 계 가스 또는 육불화황(SF_6) 가스를 포함함을 특징으로 하는 웨이퍼 가장자리의 플라즈마 처리방법.

청구항 43

제 42 항에 있어서, 상기 공정가스에 아르곤가스, 질소가스 또는 산소가스를 포함하는 첨가가스를 더 조합하여 사용함을 특징으로 하는 웨이퍼 가장자리의 플라즈마 처리방법.

청구항 44

제 35 항에 있어서, 상기 반응 부산물을 배기시키는 단계에서, 상기 보조가스는 질소가스임을 특징으로 하는 웨이퍼 가장자리의 플라즈마 처리방법.

청구항 45

제 35 항에 있어서, 상기 반응 부산물을 배기시키는 단계 이후에, 상기 처리챔버내를 퍼지시키는 단계를 더 포함하는 것을 특징으로 하는 웨이퍼 가장자리의 플라즈마 처리방법.

청구항 46

반도체 웨이퍼의 전면에 제1 물질층을 증착하는 단계;

상기 반도체 웨이퍼를 적어도 상부전극 및 하부전극을 구비하는 플라즈마 처리장치의 처리챔버내로 로딩하는 단계;

상기 웨이퍼의 가장자리 근처에만 플라즈마를 발생시키면서 상기 웨이퍼의 표면이 노출되도록 상기 웨이퍼의 가장자리에 증착된 상기 제1 물질층을 처리하여 제거하는 단계;

상기 웨이퍼를 상기 처리챔버로부터 언로딩하는 단계; 및

상기 언로딩된 웨이퍼에 대하여 제2 물질층을 증착하는 단계를 포함하는 반도체소자의 제조방법.

청구항 47

제 46 항에 있어서, 상기 제1 물질층은 도전층 또는 절연층인 것을 특징으로 하는 반도체소자의 제조방법.

청구항 48

제 46 항에 있어서, 상기 제1 물질층은 상기 반도체 웨이퍼상에 형성된 도전층 또는 절연층으로 이루어진 다층의 물질층인 것을 특징으로 하는 반도체소자의 제조방법.

청구항 49

제 46 항에 있어서, 상기 웨이퍼 가장자리의 제1 물질층을 처리하여 제거하는 단계 이후에, 상기 플라즈마를 오프시킨 후 상기 웨이퍼의 중앙으로부터 가장자리를 향하여 질소가스를 공급하면서 반응부산물을 배기시키는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 50

제 46 항에 있어서, 상기 제2 물질층을 증착시킨 후, 상기 제2 물질층이 형성된 웨이퍼를 상기 플라즈마 처리챔버내로 로딩한 후 그 가장자리의 제2 물질층만을 상기 웨이퍼의 표면이 노출될 때까지 처리하여 제

거하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 51

제 46 항에 있어서, 상기 플라즈마 처리장치는, 웨이퍼 처리가 가능한 처리챔버; 상기 처리챔버의 하측에 설치되며, 그 상부면에 웨이퍼를 장착할 수 있는 하부전극; 상기 하부전극의 외측벽을 따라 이격되어 있는 측부전극; 상기 하부전극 및 상기 측부전극에 대응하여 상기 처리챔버의 상측에 설치되어 있는 상부전극; 상기 상부전극의 하부 표면상에 부착되며, 공정가스가 상기 웨이퍼의 가장자리를 따라 분산공급되도록 상기 상부전극과의 사이에 일정한 간격을 유지하며 설치된 원통상의 절연판; 및 상기 하부전극상에 장착되는 상기 웨이퍼의 가장자리 영역에 플라즈마를 형성할 수 있도록 상기 상부전극, 하부전극 및 측부전극 중의 적어도 하나에 연결된 RF소오스를 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 52

제 51 항에 있어서, 상기 웨이퍼의 가장자리의 제1 물질층을 처리하여 제거하는 단계에서는, 처리하여 제거되어야 할 상기 제1 물질층의 웨이퍼의 가장자리로부터의 폭에 따라 상기 절연판과 상기 웨이퍼간의 갭을 조절하면서 수행하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 53

제 51 항에 있어서, 상기 웨이퍼의 가장자리의 제1 물질층을 처리하여 제거하는 단계에서는, 처리하여 제거되어야 할 상기 제1 물질층의 웨이퍼의 가장자리로부터의 폭에 따라 상기 웨이퍼의 직경과 상기 절연판의 하부면의 직경의 차이를 조절하면서 수행하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 54

제 46 항에 있어서, 상기 웨이퍼의 가장자리의 제1 물질층을 처리하여 제거하는 단계에서는, 처리하여 제거되어야 할 상기 제1 물질층의 웨이퍼의 가장자리로부터의 폭에 따라 공정가스의 유량을 조절하면서 수행하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 55

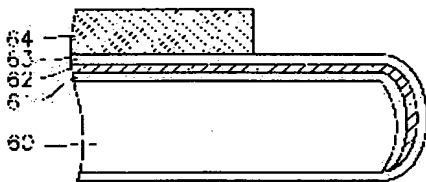
제 46 항에 있어서, 상기 제1 물질층을 처리하여 제거하는 단계에서 사용하는 공정가스는 C_xF_y 계 가스 또는 육불화황(SF_6) 가스를 포함함을 특징으로 하는 반도체소자의 제조방법.

청구항 56

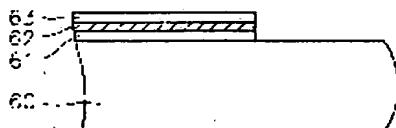
제 55 항에 있어서, 상기 공정가스에 아르곤가스, 질소가스 또는 산소가스를 포함하는 첨가가스를 더 조합하여 사용함을 특징으로 하는 반도체소자의 제조방법.

도면

도면1



도면2





504

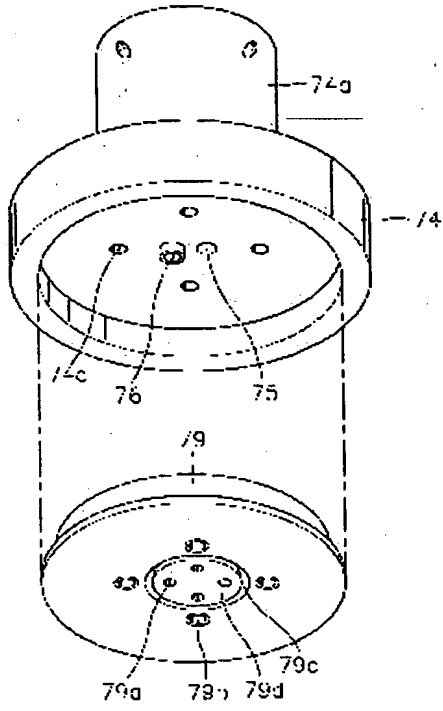
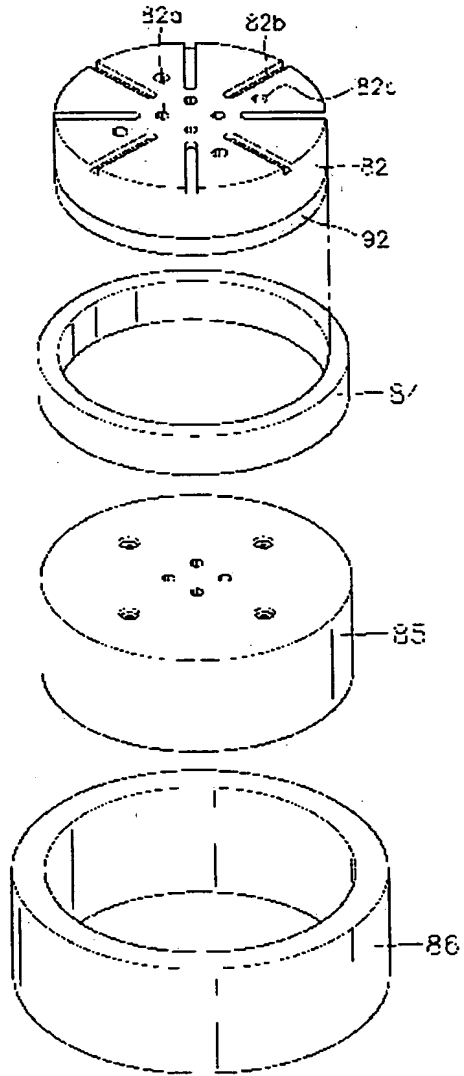
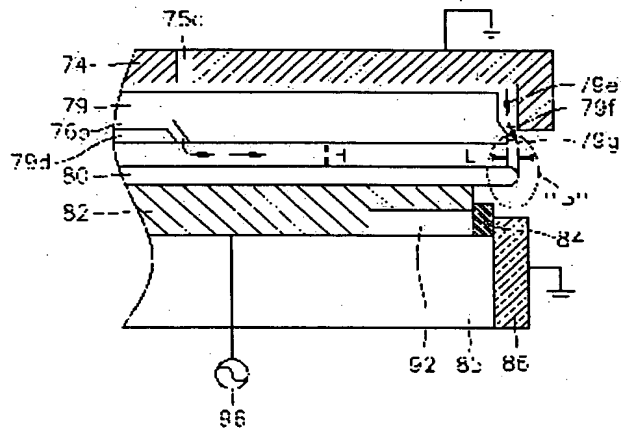


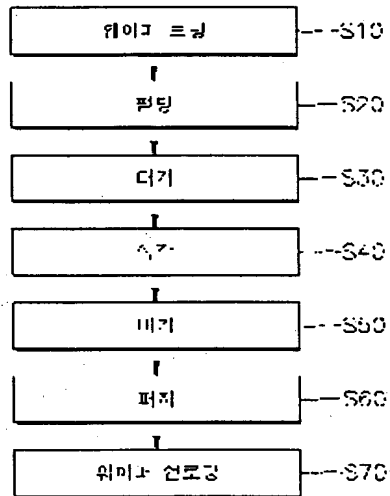
FIG 5



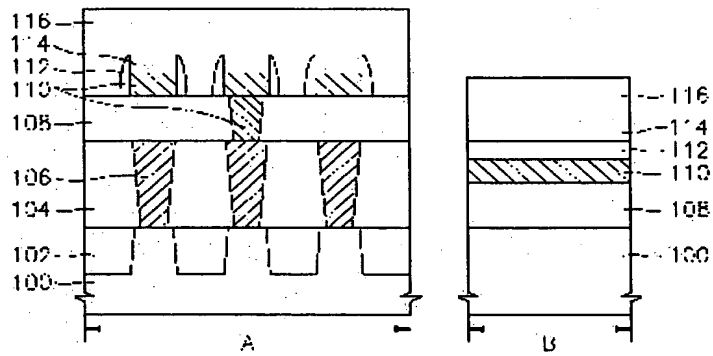
도면6



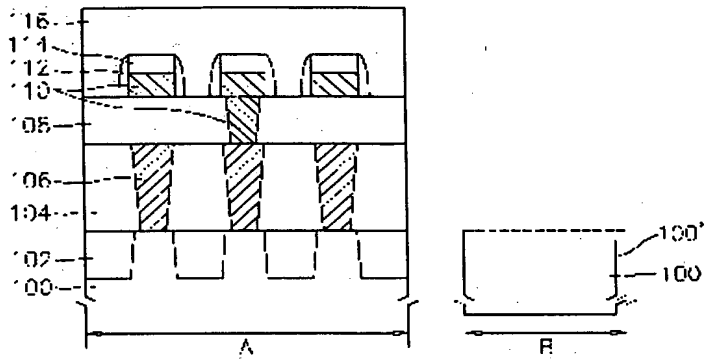
도면7



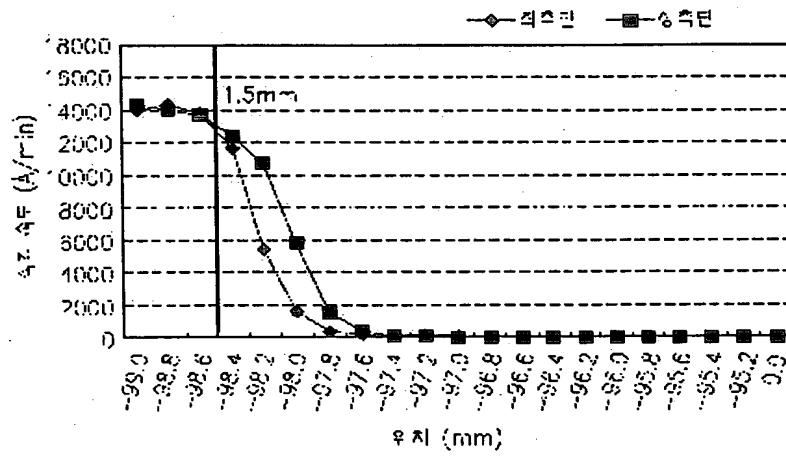
도면8



도면9



도면10



도면11

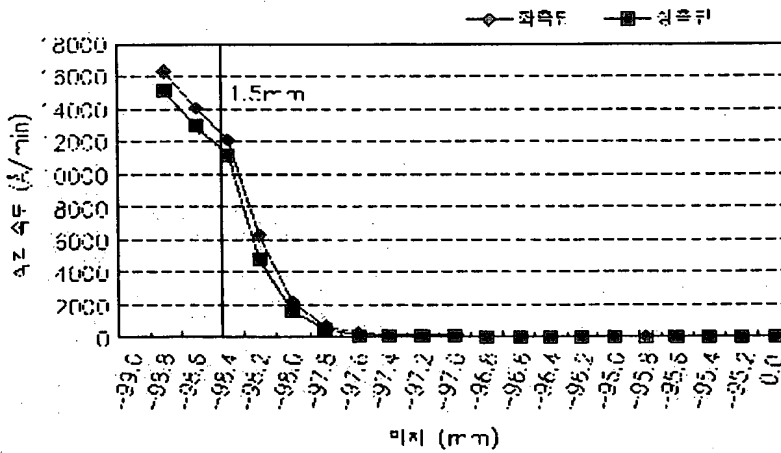


도표 12

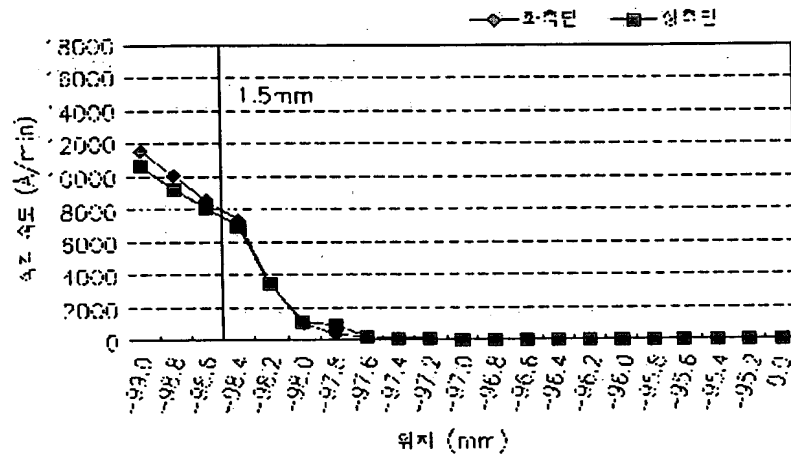


도표 13

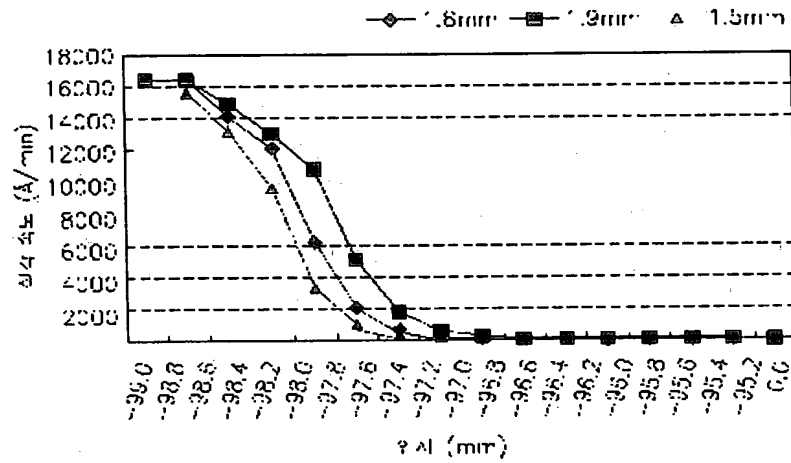
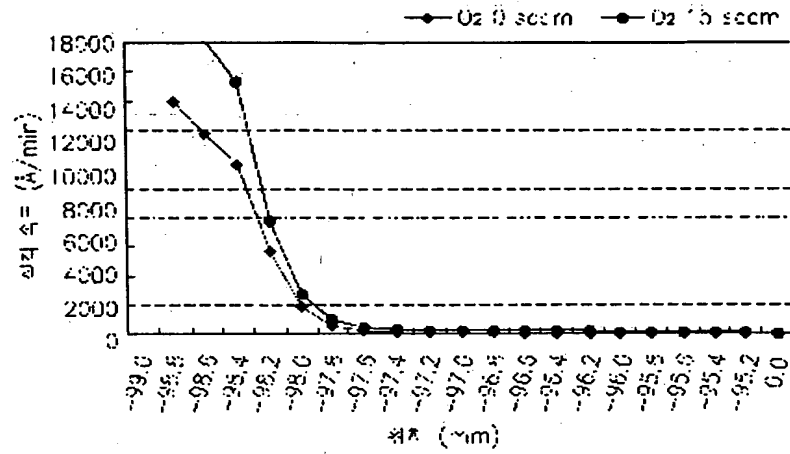
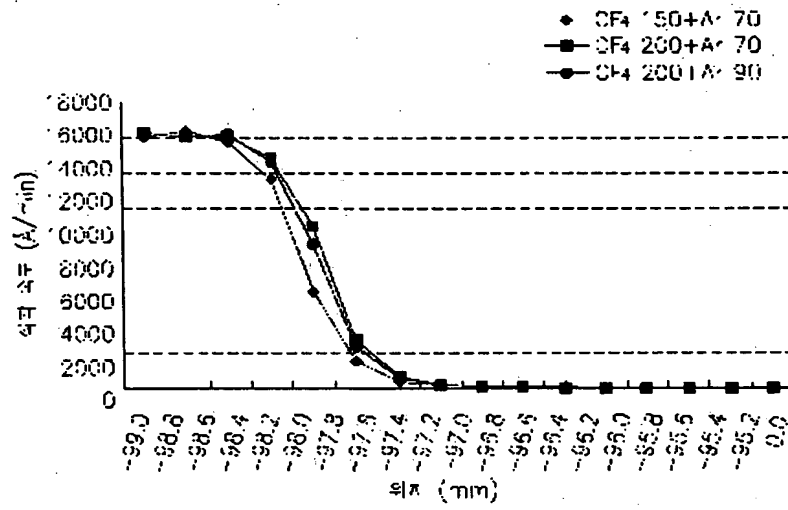


도표 14



5000



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.